


SURFACE TREATING METHOD OF III-V COMPOUND SEMICONDUCTOR SUBSTRATE**Publication number:** JP9270415 (A)**Publication date:** 1997-10-14**Inventor(s):** NIWA SHIGEKI**Applicant(s):** NIPPON ELECTRIC CO**Classification:**

- **international:** *C30B33/12; H01L21/203; H01L21/205; H01L21/302; H01L21/304; H01L21/3065; C30B33/00; H01L21/02;* (IPC1-7): H01L21/3065; C30B33/12; H01L21/205; H01L21/304

- **European:**

Application number: JP19960076920 19960329**Priority number(s):** JP19960076920 19960329**Also published as:** JP2917900 (B2)**Abstract of JP 9270415 (A)**

PROBLEM TO BE SOLVED: To completely remove impurities adsorbed in a GaAs substrate and to flatten the surface of the GaAs substrate without using gas etching by a method wherein, a III element atomic plane is exposed at the surface of the substrate, and the surface of the substrate is irradiated with hydrogen plasma. SOLUTION: In a (100) substrate, an As atomic plane and a Ga atomic plane are arranged at an interval of a quarter lattice constant, an uppermost layer terminates with an As atomic plane, and the surface of the substrate is covered with V element atoms. Then, the substrate is heated at a temperature of 450 deg.C or above in a vacuum chamber to make a Ga or a III element atomic plane (Ga or III element stabilized plane) exposed at its surface. By this setup, As atoms are dissociated from a GaAs layer 2 which adsorbs carbon C for the formation of a Ga plane 3.; Then, hydrogen is made to flow in the vacuum chamber, and the surface of the substrate is irradiated with hydrogen plasma through an ECR.

.....
Data supplied from the *esp@cenet* database — Worldwide

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平9-270415

(43)公開日 平成9年(1997)10月14日

(51)Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 21/3065			H 0 1 L 21/302	N
C 3 0 B 33/12			C 3 0 B 33/12	
H 0 1 L 21/205			H 0 1 L 21/205	
21/304	3 4 1		21/304	3 4 1 D

審査請求 有 請求項の数4 O L (全 4 頁)

(21)出願番号 特願平8-76920

(22)出願日 平成8年(1996)3月29日

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者 丹羽 隆樹

東京都港区芝五丁目7番1号 日本電気株式会社内

(74)代理人 弁理士 鈴木 章夫

(54)【発明の名称】 III - V族化合物半導体基板の表面処理方法

(57)【要約】

【課題】 III - V族化合物半導体基板の表面に吸着した不純物を、水素プラズマと塩素ガスエッチングを併用して除去すると、塩素ガスによりGaAs基板がエッチングされるため、プロセス上の制約を受け、かつ危険な反応性ガスを用いる必要がある。

【解決手段】 III-V族化合物半導体の基板において、V族原子雰囲気のない状態で化合物半導体の基板温度を450℃以上に加熱してIII族原子面を基板表面に出す第1工程と、電子サイクロトロン共鳴(E C R)、もしくは高周波による水素プラズマを用いて前記表面に対し水素プラズマを照射する第2工程とを含み、半導体基板の表面を清浄化する。

II族安定化面を
出す

(a)

水素プラズマ
を照射する

(b)

【特許請求の範囲】

【請求項1】 III-V族化合物半導体の基板において、III族原子面を基板表面に出す第1工程と、この表面に対し水素プラズマを照射する第2工程を含むことを特徴とするIII-V族化合物半導体基板の表面処理方法。

【請求項2】 第1工程として、V族原子雰囲気のない状態で化合物半導体の基板温度を450℃以上に加熱する請求項1のIII-V族化合物半導体基板の表面処理方法。

【請求項3】 第2工程として、電子サイクロトロン共鳴(ECR)、もしくは高周波による水素プラズマを用いる請求項1または2のIII-V族化合物半導体基板の表面処理方法。

【請求項4】 請求項2の第1工程を行いながら、請求項3の第2工程を行うことを特徴とするIII-V族化合物半導体基板の表面処理方法。

【発明の詳細な説明】**【0001】**

【発明の属する技術分野】本発明はIII-V族化合物半導体デバイス用基板の表面処理方法に関し、特に薄膜成長用基板の前処理方法に関するものである。

【0002】

【従来の技術】GaAs等のIII-V族半導体基板上に形成された電界効果型トランジスタは、良好な高周波特性が得られており、近年低雑音のマイクロ波用、高速デジタル通信用の基本素子として広く採用されている。このトランジスタは、半導体基板上に成長した薄膜をキャリアが走行する構造を有しているため、デバイス特性を向上させるには、薄膜の結晶性の向上とともに、薄膜と基板の間の界面における構造の乱れやキャリアを捕獲する原因とする不純物を減らす必要がある。特に、界面での炭素や酸素、シリコンを除去することが重要である。

【0003】従来、薄膜と基板の間の界面や表面の清浄化方法として、硫酸系エッチャントや塩酸、リン酸等によるウェット処理後に、成長装置内でV族元素雰囲気中で昇温により酸化膜を除去する方法や、水素プラズマ処理などを行う方法(1994年、ジャパニーズ・ジャーナル・オブ・アプライド・フィジクス、第33巻L91ページ、[N.Kondo et al., Japanese Journal of Applied Physics, 33, L91(1994)]が知られている。また、水素プラズマ処理後に、塩素ガスエッチングを併用する方法も提案されている。例えば、特開平6-232100号公報、特開昭62-317954号公報。

【0004】

【発明が解決しようとする課題】しかしながら、従来の塩酸等のウェット処理のみを用いた方法では、不純物である炭素の除去にはほとんど効果がない。また、水素プラズマ処理のみでは、炭素の除去には効果があるが、酸素、シリコンを除去することができず、また基板表面の平坦性が悪化する。水素プラズマと塩素ガスエッチング

を併用する方法では、不純物除去には効果があるが、塩素ガスによりGaAs基板がエッチングされるため、プロセス上の制約を受けるとともに、危険な反応性ガスを用いなければならないという問題がある。

【0005】本発明の目的は、ガスエッチングを併用しない、GaAs基板に吸着した不純物を完全に除去でき、しかも処理表面の平坦化を可能にした表面処理方法を提供することである。

【0006】

【課題を解決するための手段】本発明の表面処理方法は、図1にプロセス工程図を示すように、図1(a)のIII族原子面を基板表面に出す第1工程と、図1(b)のその表面に対し水素プラズマを照射する第2工程を含んでいる。例えば、GaAs(100)基板表面を大気中にさらすと、基板表面に炭素C、シリコンSi、酸素O等の不純物が吸着し、これらが結合したGaAs層が表面近傍に形成される。そこで、本発明では、III族原子であるGaの原子面(Ga安定化面)を出して、この表面に対して水素プラズマを照射する。

【0007】この場合、第1工程としては、V族原子雰囲気のない状態で化合物半導体の基板温度を450℃以上に加熱する工程が、第2工程として、電子サイクロトロン共鳴(ECR)、もしくは高周波による水素プラズマを用いる工程が採用される。また、前記第1工程を行いながら第2工程を行うことも可能である。

【0008】III族安定化面を出す第1工程により、V族原子およびこれと結合した不純物が除去され、基板表面にIII族およびこれと結合した不純物が残される。この第1工程はV族原子と比較しIII族原子は不純物、特に炭素との結合力が強く、III族原子と結合した不純物の除去は困難であるため、この不純物を基板最表層に集めることで、水素プラズマ処理で除去され易いようにするためである。この表面に対し水素プラズマを照射する第2工程により、III族原子と結びついた除去が困難な不純物と水素プラズマとの接触頻度が高くなり、この不純物は効果的に水素化合物になり、基板表面から除去される。さらに、処理後はIII族安定化面のため平坦な表面が得られる。

【0009】

【発明の実施の形態】次に、本発明の実施形態について図面を参照して説明する。なお、以下の説明はIII-V族化合物半導体のうち、GaAsの場合について説明する。図2は本実施形態の工程を模式的に示す図である。GaAs(100)基板1の表面を大気中にさらすと、図2(a)のように、基板表面に炭素C、シリコンSi、酸素O等の不純物、ここでは炭素Cが吸着し、これらが結合したGaAs層2が表面近傍に形成される。

(100)基板では、As原子面とGa原子面が格子定数の1/4の間隔で並び最表層はAs原子面で終端しており、基板表面はV族原子で覆われている。そこで、II

I 族原子であるGaの原子面（Ga安定化面）、すなわちIII 族安定化面を出すために、真空チャンバ内で基板を450℃以上に加熱する。ここでは、RHEED像が（4×4）から（2×4）に変わる温度を550℃として温度校正を行った。これにより、図2（b）のように、炭素Cの吸着したGaAs層2からAs原子を脱離させたGa面3が形成される。

【0010】しかる上で、図2（c）のように、この状態で水素を流しECRによる水素プラズマを基板表面に照射する。水素流量は5 sccmでマイクロ波出力200W、チャンバ内真空度は 1×10^{-3} Torr、水素プラズマ照射時間は20分である。これにより炭素Cは水素化合物CHとなり、基板1の表面から除去される。なお、水素プラズマ処理により少しづつではあるが基板表面のGa原子はGaH₃分子となり除去される。そこで、水素プラズマ処理中もGa安定化面に保つために基板温度を450℃以上に保持した。

【0011】ここで、不純物の除去効果を評価するために、これら処理表面に対し、真空中で分子線エピタキシ（MBE）によりGaAsを約0.34 μm再成長した。図3はこの条件で処理した本発明の場合、図4は従来例であるGa安定化面を出さずに水素プラズマ処理を行った場合の2次イオン質量スペクトロスコピー（SIMS）測定結果である。図4の従来例では、基板表面のAs原子の脱離を防いでAs安定面を保つために基板温度を400℃にし、処理時間は20分間とした。なお、水素プラズマ発生のための条件は、本発明の時に用いた条件と同一とした。なお、図3及び図4の深さ1 μmには、無処理の場合の再成長界面が存在している。

【0012】これらの図から分かるように、再成長界面における不純物量は、無処理の従来例では $1 \times 10^{18} \text{ cm}^{-3}$ 以上、また従来例では $2 \sim 5 \times 10^{17} \text{ cm}^{-3}$ のピークを持つが、本発明ではSIMSの検出限界まで除去されているのが分かる。これは、本発明では、V族原子よりも不純物との結合力の強いIII 族原子を図2（b）に示す工程で基板表面に出し、図2（c）に示す工程の水素プラズマがIII 族原子と結びついている不純物原子と容易に反応し、CH_x（X：1～4）やH₂O、SiH_x（X：1～4）等の気体分子となり容易に除去されるためである。

【0013】次に本発明の第2の実施形態を示す。水素プラズマ照射条件、すなわち図2（c）の工程は第1の実施形態と同じにした上で、図2（b）の工程の条件として処理温度を480℃以上550℃以下に限定する。この条件を用いることにより、水素プラズマ処理後の反射型高エネルギー電子線回折（RHEED）像は、室温の状態でストリークなC（4×4）構造が見られており、原子オーダーでも平坦な表面が得られることが分かった。なお、処理温度が550℃を越えると逆に平坦性が悪くなるが、これは、基板表面ばかりでなくかなり内側から

もAsが抜けだすためである。

【0014】本発明の第3の実施形態を示す。図2（b）の工程は第2の実施形態と同じくした上で、図2（c）の水素プラズマ照射条件を次のように設定する。マイクロ波出力を200W以下にし、水素圧力を水素プラズマの放電が起きる最低限度まで下げる。本装置では、水素流量が5 sccmのとき 6.8×10^{-4} Torrである。他の水素プラズマ照射条件は第1の実施形態と同じである。さらに、水素プラズマ照射時、基板の表面法線方向を水素プラズマ発生源方向に対し、90度から180度の範囲にして、プラズマ源から見て基板表面が直接見えない位置に基板を設置する。このようにすることで、本発明における、Ga原子の水素プラズマによる脱離を減らしGa安定化面を保ちやすくすると同時に、ECRによるダメージ、及びチャンバ内壁のスパッタリングによる重金属汚染を防ぐことができるので、さらに効果的である。

【0015】図5はC-V測定によるキャリア濃度プロファイルを示している。図から分かるように、水素プラズマ処理のみを行った従来例では再成長界面でキャリアの枯渇が見られるが、本発明ではほとんどキャリアの枯渇は見られない。

【0016】なお、前記各実施形態では、水素プラズマの発生方法として、ECRを例に取ったが、水素プラズマが発生可能であれば種類を問わない。また、前記の説明ではIII-V族化合物半導体のうち、GaAsの場合について説明したが、本発明はInPその他の半導体でも同様に適用可能である。

【0017】

【発明の効果】以上説明したように、本発明の表面処理方法は、III 族原子安定面を基板表面に出した状態で水素プラズマを照射することにより、III-V族化合物の表面を効果的に清浄化することができる。本発明におけるIII 族原子安定化面を出す方法として、450℃以上の基板加熱を採用し、プラズマ照射と同時に行うようにすれば、本発明では基本的に1工程だけで処理がすむため処理時間も短くまた、非常に簡便に行うことができるという利点がある。

【図面の簡単な説明】

【図1】本発明のプロセス工程図である。

【図2】本発明の第1実施形態の工程を模式的に示す図である。

【図3】本発明方法と従来方法における炭素濃度分布を示す図である。

【図4】本発明の効果を示すためのSIMSプロファイルである。

【図5】本発明方法と従来方法のC-Vプロファイルである。

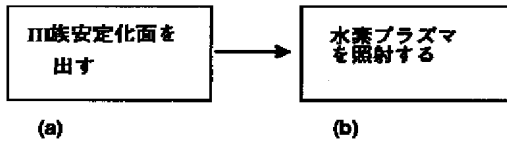
【符号の説明】

1 GaAs（100）基板

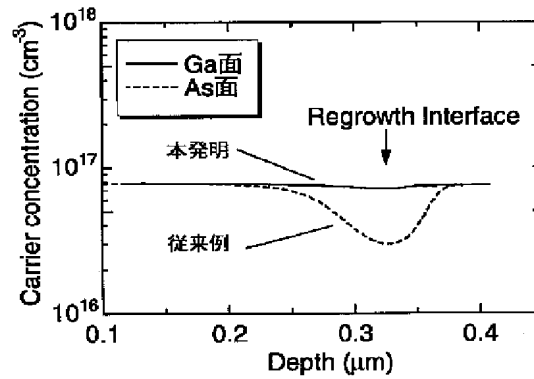
- 2 GaAs表面近傍の炭素の吸着層
- 3 Asの脱離により形成されるGa面

- 4 水素プラズマと反応した炭素を含む気体

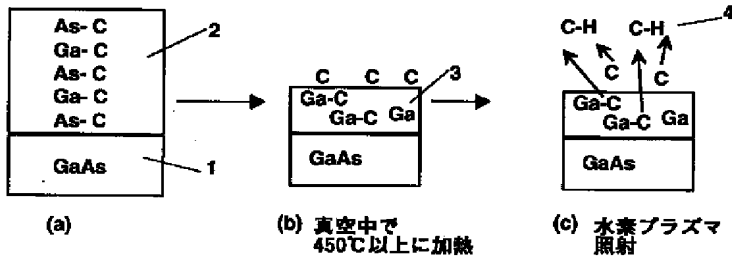
【図1】



【図5】

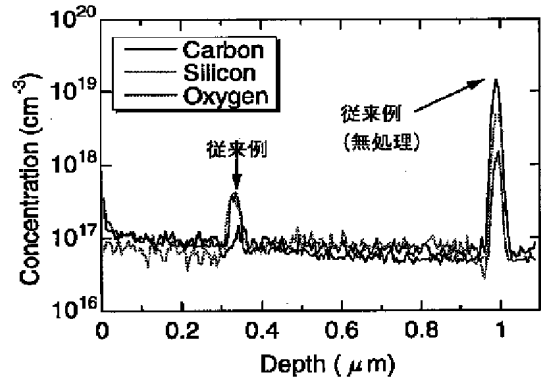


【図2】



- 1 GaAs (100) 基板
- 2 炭素の吸着層
- 3 Asが脱離されたGa面
- 4 水素プラズマと炭素の反応気体

【図4】



【図3】

